

PAT-NO: JP401245547A

DOCUMENT-IDENTIFIER: JP 01245547 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: September 29, 1989

INVENTOR-INFORMATION:

NAME

TOMINAGA, TATSUYA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRON CORP

COUNTRY

N/A

APPL-NO: JP63074047

APPL-DATE: March 28, 1988

INT-CL (IPC): H01L021/90

US-CL-CURRENT: 257/776, 361/220

ABSTRACT:

PURPOSE: To discharge to a power supply wiring through a space at the intersection part of an input wiring with the power supply wiring in case high-voltage static electricity is applied to the input wiring and to protect an internal element by a method wherein the power supply wiring is made to intersect with the input wiring with the space over the input wiring.

CONSTITUTION: An input wiring 2 for connecting input terminals with an internal element is provided on the upper surface of a semiconductor substrate

1, a power supply wiring 4 is provided lying across over the wiring 2, that is, with a space 3 between the wirings 2 and 4 and an air bridge wiring is

provided. Moreover, the potential of the wiring 4 has only to be equal with a reference potential in a semiconductor device. Accordingly, in case high-voltage static electricity is applied to the wiring 2, a discharge is generated in the wiring 4 in the part of the space 3 at the intersection part with the wiring 4 and the voltage of the static electricity is never boosted to such a voltage as to lead to a breakdown of the internal element.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-245547

⑮ Int. Cl.⁴

H 01 L 21/90

識別記号

庁内整理番号

W-6824-5F

⑬ 公開 平成1年(1989)9月29日

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭63-74047

⑱ 出 願 昭63(1988)3月28日

⑲ 発 明 者 富 永 辰 也 大阪府門真市大字門真1006番地 松下電子工業株式会社内
⑳ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 森本 義弘

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 入力端子と内部素子とを接続する入力配線上で、空間を有して電源配線を交差させた半導体装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置、特にその静電気保護回路に関するものである。

従来の技術

従来、半導体装置の入力配線には静電気保護回路が設けられておらず、その静電気保護は電気的な素子(ダイオードなど)に委ねられていた。

発明が解決しようとする課題

ところで、静電気保護を電気的な素子のみで行なうと、インピーダンスの増加のために高周波特性が損なわれ、また高電圧の静電気が入力配線に印加されると電気的な素子本体が破壊し半導体装

置としての機能が失われるという問題があった。

そこで、本発明は上記問題点を解消する半導体装置を提供することを目的とする。

課題を解決するための手段

上記問題点を解決するため、本発明の半導体装置は、入力端子と内部素子とを接続する入力配線上で、空間を有して電源配線を交差させたものである。

作用

上記構成において、入力配線に高電圧の静電気が印加された場合、電源配線との交差部の空間部分で電源配線に放電が生じ、静電気は内部素子破壊に至るような電圧に上昇することがない。

実施例

以下、本発明の一実施例における半導体装置を第1図～第3図に基づき説明する。

第1図～第3図において、1は半導体装置における半導体基板で、この上面には入力端子と内部素子とを接続する入力配線2が設けられ、そしてまたこの入力配線2の上方をまたいで、すなわち

空間（隙間）3を有して電源配線4が設けられている。いわゆるエアブリッジ配線が施されたことになる。なお、電源配線4の電位は半導体装置内の基準電位とすればよい。

したがって、上記構成において、入力配線2に高電圧の静電気が印加された場合、電源配線4との交差部の空間3部分で電源配線4に放電が生じ、静電気は内部素子破壊に至るような電圧に上昇することがない。

発明の効果

上記本発明の構成によると、入力配線の上方に空間を有して電源配線を交差させたので、入力配線に高電圧の静電気が印加された場合、その交差部の空間を介して静電気が電源配線に放電が生じ、内部素子が保護されるとともに、従来のように電気的な素子を設ける必要がないので、性能に悪影響を及ぼすことなく静電気の保護が行われる。

4. 図面の簡単な説明

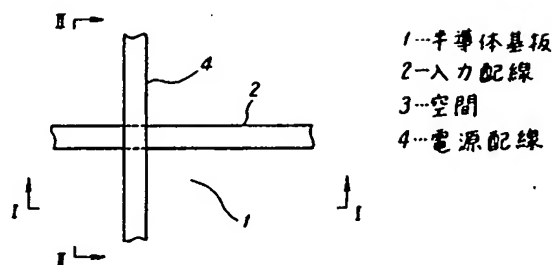
第1図は本発明の一実施例における半導体装置の平面図、第2図は第1図のI-I矢視図、第3

図は第1図II-II矢視図である。

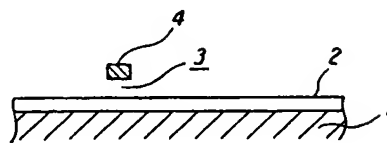
1…半導体基板、2…入力配線、3…空間、4…電源配線。

代理人 森 本 義 弘

第1図



第2図



第3図

